

应用于AMOLED源极驱动的具有DAC功能的输出缓冲器设计

孙蕊, 邓红辉, 张俊, 权磊, 贾晨

引用本文:

孙蕊, 邓红辉, 张俊, 等. 应用于AMOLED源极驱动的具有DAC功能的输出缓冲器设计[J]. 液晶与显示, 2020, 35(9): 938–945.
SUN Rui, DENG Hong-hui, ZHANG Jun, et al. Design for AMOLED source driver output buffer with DAC function[J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(9): 938–945.

在线阅读 View online: <https://doi.org/10.37188/YJYXS20203509.0938>

您可能感兴趣的其他文章

Articles you may be interested in

应用于AMOLED源极驱动的高精度DAC设计

High precision DAC design for AMOLED source drive

液晶与显示. 2019, 34(4): 379–385 <https://doi.org/10.3788/YJYXS20193404.0379>

一种输入级模块复用的 In–Zn–O 薄膜晶体管行集成驱动电路

New In–Zn–O thin film transistors gate driver circuit employing input block multiplex structure

液晶与显示. 2015(5): 832–837 <https://doi.org/10.3788/YJYXS20153005.0832>

温度系数连续可调的带隙基准源电路设计

Design of bandgap reference circuit with continuously adjustable temperature coefficient

液晶与显示. 2018, 33(5): 412–418 <https://doi.org/10.3788/YJYXS20183305.0412>

用于触摸屏控制电路的低功耗模数转换器设计

Design of low power analog-to-digital converter for the control circuit of touch screen

液晶与显示. 2017, 32(8): 622–627 <https://doi.org/10.3788/YJYXS20173208.0622>

一种LTPS–TFT AMOLED像素电路的理论研究

LTPS–TFT threshold voltage compensation pixel circuit for AMOLED

液晶与显示. 2017, 32(8): 614–621 <https://doi.org/10.3788/YJYXS20173208.0614>

文章编号:1007-2780(2020)09-0938-08

应用于 AMOLED 源极驱动的具有 DAC 功能的输出缓冲器设计

孙蕊^{1,2}, 邓红辉^{1,2*}, 张俊^{1,2}, 权磊^{1,2}, 贾晨^{1,2}

(1. 合肥工业大学 微电子设计研究所, 安徽 合肥 230009;

2. 深圳清华大学研究院, 广东 深圳 518057)

摘要:针对 AMOLED 驱动芯片小面积、高精度、低功耗的需求,设计了一种具有 DAC 功能的高性能输出缓冲器。该缓冲器采用轨对轨的输入级和 Class AB 输出级以适应大的输入输出电压范围,采用 Cascode Miller 补偿以减小补偿电容大小,其尾电流源可编程以实现 4 bit DAC 功能插值,节约了整体功耗和芯片面积。在 UMC80 nm CMOS 工艺下,仿真结果表明,在 0.2~6.3 V 的输入电压范围内,缓冲器直流增益大于 70 dB,相位裕度大于 60°,静态电流最小可至 0.5 μA ,建立时间低至 1.49 μs ;典型中压 3.3 V 的情况下,直流增益可达 129 dB,相位裕度为 75°,增益带宽为 9.4 MHz,静态电流为 1.3 μA ;对 60 mV 输入电压进行 4 bit 插值后,输出误差小于 0.255 mV。设计的缓冲器精度高、建立时间快且功耗低,输出缓冲器实现了第二级 DAC 的作用,满足了 AMOLED 源极驱动的应用需求。

关键词:AMOLED 源极驱动;轨对轨;尾电流源可编程;Class AB 输出级;Cascode Miller 补偿

中图分类号:TP394.1;TH691.9 **文献标识码:**A **doi:**10.37188/JYXS20203509.0938

Design for AMOLED source driver output buffer with DAC function

SUN Rui^{1,2}, DENG Hong-hui^{1,2*}, ZHANG Jun^{1,2}, QUAN Lei^{1,2}, JIA Chen^{1,2}

(1. Institute of VLSI Design, Hefei University of Technology, Hefei 230009, China;

2. Research Institute of Tsinghua University in Shenzhen, Shenzhen 518057, China)

Abstract: To meet the requirements of small area, high precision and low power consumption of AMOLED driver chip, a high performance output buffer with DAC function is designed. This buffer adopts rail-to-rail input stage and Class AB output stage to adapt to a large input and output voltage range, and uses Cascode Miller compensation to reduce the size of the compensation capacitor. Its tail current source is programmable to implement 4 bit DAC function interpolation, saving overall power

收稿日期:2020-02-03;修订日期:2020-03-05.

基金项目:国家自然科学基金(No.61704043);重点实验室基金项目(No.6142802180101);深圳市科创委技术攻关项目(No.JSGG20170413153845042)

Supported by National Natural Science Foundation of China(No.61704043);Key Laboratory Fund Project (No.6142802180101);Technological Breakthrough Project of Shenzhen Science and Technology Innovation Commission(No.JSGG20170413153845042)

* 通信联系人, E-mail: denghonghui@hfut.edu.cn

consumption and chip area. Under the UMC80 nm CMOS process, the simulation results show that in the input voltage range of 0.2 ~ 6.3 V, the DC gain of the buffer is greater than 70 dB, the phase margin is greater than 60°, the quiescent current can be as low as 0.5 μA , and the settling time as low as 1.49 μs . With a typical medium voltage of 3.3 V, the DC gain can reach 129 dB, the phase margin is 75°, the gain bandwidth is 9.4 MHz, and the quiescent current is 1.3 μA . After 4 bit interpolation of the 60 mV input voltage, the output error is less than 0.255 mV. The designed buffer has high accuracy, fast settling time, and low power consumption. The output buffer realizes the role of the second-stage DAC, which meets the application requirements of AMOLED source driving.

Key words: AMOLED source driver; rail-to-rail; tail current source programmable; Class AB output stage; Cascode Miller

1 引言

近些年来,由于 AMOLED 显示面板的各项优势和应用需求日益凸显,用于 AMOLED 显示的驱动芯片成为大规模数模混合设计领域的研究热点^[1]。源极驱动电路是 AMOLED 驱动芯片的重要组成部分,它将图像数据转换成可以加载在面板像素电容负载上的不同灰阶电压。它包括图像数据转换和输出缓冲,其中使用 DAC 将图像数据转换为相应的灰阶电压。要使 AMOLED 面板显示达到较高的分辨率和精度,输入图像数据通常为 10 bit 数据,所对应的 DAC 也需要有 10 bit 的分辨率。综合考虑到 10 bit 的 DAC 需要对面积、功耗和精度等进行折中考虑,通常把 10 bit 的 DAC 分为两级来实现。一种结构是两级电阻分压 DAC 结构^[2],该结构精度好,面积和功耗适中。另一种 DAC 实现方式是第一级采用电阻分压 DAC,第二级采用插值运放 DAC,合理分配两级 DAC 精度,可以达到芯片面积、功耗、精度之间的折衷。文献[3]采用了 7 bit 电阻分压 DAC 加上 3 bit 插值运放 DAC 的结构实现。文献[4]采用了 6 bit 电阻分压 DAC 加上 4 bit 插值运放 DAC 的方式实现。文献[3]的方式实现的 DAC 误差较小,但芯片占用面积较大;文献[4]方式实现的 DAC 误差虽然比文献[3]稍大,但芯片占用面积较小。此外,由于 AMOLED 像素电路的负载对于驱动能力有一定的需求,仅依靠 DAC 的驱动能力不足以将灰阶电压推送至面板,所以需要输出缓冲器增强驱动能力^[3]。

本文采用了文献[4]中 6 bit 电阻分压 DAC

加上 4 bit 插值运放 DAC 的两级结构,应用文献[3]中的插值运放原理,针对 AMOLED 源极驱动电路,设计了一种带有 4 bit DAC 功能的缓冲器,实现 4 bit DAC 功能和输出缓冲两个目的,达到小面积、高精度和低功耗的设计。

2 源极驱动电路中 DAC 结构及原理

源极驱动电路作用就是将图像数据转换为灰阶电压。由于显示设备亮度与输入电压的非线性关系以及人眼对于亮度变化的非线性感官,需要进行 GAMMA 校正。本设计使用 10 bit 非线性图像数据配合线性 DAC,来实现 GAMMA 校正和源极驱动功能。如图 1 所示,采用斜率调节单元产生 GAMMA 校正曲线的两个电压调节点,使输出曲线贴合 GAMMA 曲线,线性 DAC 第一级采用 6 bit 的 GAMMA 校正电阻串 DAC 结合第二级 4 bit 的插值运放 DAC 来实现功能^[5]。第一级的电阻串 DAC 采用 64 个阻值相等的电阻分压结合一个 65 选 2 的多路选择器构成。高 6 bit 的图像数据选出第一级 DAC 的输出电压 V_H 、

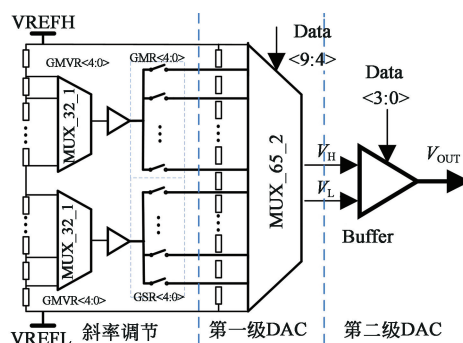


图1 提出的整体 DAC 结构

Fig.1 Structure of proposed overall DAC

V_L , 输出到第二级。本文设计的第二级 DAC 是带有 DAC 功能的输出缓冲器。

3 电路设计

3.1 整体结构设计

所设计的输出缓冲器整体结构示意图如图 2 所示, 由输入级、输出级、可编程尾电流单元以及增益级构成。考虑显示面板所需要的输出电压范围为 $0.3 \sim 6.3$ V, 电压范围接近电源到地, 要求缓冲器能够支持全摆幅范围的输入输出, 因此采用轨对轨结构的输入级和输出级。考虑到缓冲器需要有 DAC 的功能, 本设计利用运放差分对管工作在亚阈值区, 跨导和电流成线性关系, 通过尾电流可编程实现线性插值。考虑输出电压 10 bit 输出精度的要求, 输出电压偏差 ($< \pm 3$ mV) 需要比较小, 需要缓冲器具有较大的开环增益, 增益级采用 Cascode 结构, 通过提高输出阻抗, 来提高开环增益, 并通过频率补偿电路提高稳定性。此外, 考虑实际显示面板上有众多通道, 需要减少每一个缓冲器的静态电流。

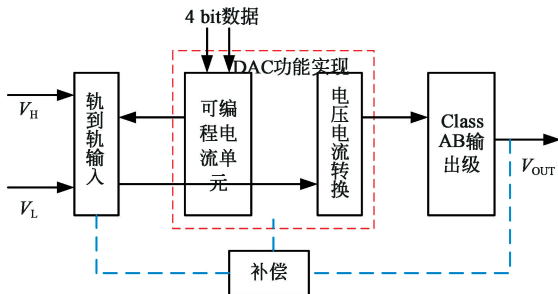


图 2 输出缓冲器系统原理图

Fig.2 Block diagram of output buffer system

3.2 缓冲器主要指标

输出缓冲器需要驱动 30 pF 的电容负载和 10 k Ω 的电阻负载, 并且在一个行扫描周期内完成对像素电路存储电容的充电。由于第一级 DAC 的驱动能力很小, 需要输出缓冲电路来提高灰阶电压的驱动能力。输出缓冲器采用单位增益运放结构, 为了提高驱动能力、满足输出电压误差小于 ± 3 mV, 要求缓冲器开环增益要达到 65 dB 以上。本设计应用于 1080×2160 分辨率的 AMOLED 显示面板, 每一行的扫描时间为 $1/60/2160 = 7.7$ μ s, 去除第一级 DAC 建立时间以及预

留的时间裕度, 输出缓冲器的建立时间应在 5 μ s 以内。由于每个输出通道都对应着一个输出缓冲器, 为了降低功耗, 输出缓冲器的静态电流应当尽量小。

3.3 输入级设计和 DAC 功能实现

为了使输入范围尽可能达到电源到地, 输入对管使用 NMOS 对管和 PMOS 管并联实现^[6]。

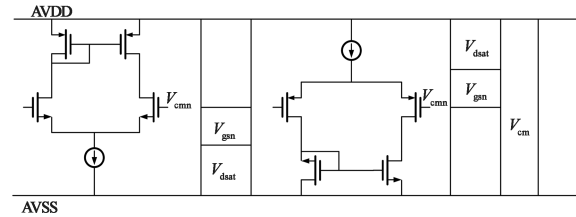


图 3 轨对轨输入级结构

Fig.3 Rail to rail input structure

NMOS 对管和 PMOS 对管两者并联之后的输入级的输入共模范围为: $AVSS \leq V_{cm} \leq AVDD$, 保证了输入级的轨到轨要求。

由于采用互补的 PMOS 对管和 NMOS 对管, 轨对轨输入运放的输入级等效跨导会随着共模输入电压的变化发生变化, 电路的直流增益、带宽和相位裕度会随着等效跨导的变化而变化。轨对轨输入级结构如图 3 所示。但本文的缓冲器仅用于灰阶电压的建立, 并且可以从下文的输出与输入关系得出缓冲器电路输出的灰阶电压与等效跨导之间没有关联性, 加入恒定跨导结构^[7]会不可避免地增加 MOS 数目, 加大芯片面积, 所以不需要加入恒定跨导结构以节省功耗和面积。

本文设计的 DAC 功能的实现单元使用插值运放结构实现^[8], 如图 4 所示, 包括电压-电流转换器、可编程电流单元和输出级。图 4 以 NMOS 差分输入对管为例, 阐述 4 bit DAC 功能实现。

图 4 中 M_1 、 M_2 和 M_3 、 M_4 为两对 NMOS 输入差分对管, M_5 、 M_6 、 M_7 、 M_8 、 M_9 为尾电流源, 可以通过 4 位数据控制接入电路的尾电流大小。 V_H 、 V_L 是需要插值的高低电压, 分别连接 M_1 和 M_4 的栅端, 将输出电压 V_{OUT} 连接到 M_2 和 M_3 的栅极, 形成闭环负反馈的单位增益缓冲器。两个差分对大小相同, 都被偏置在亚阈值区, 差分对管 M_1 和 M_2 尾电流为 I_{BH} , 差分对管 M_3 和 M_4 尾电流为 I_{BL} 。尾电流 I_{BH} 和 I_{BL} 的大小由电流源 M_5 、

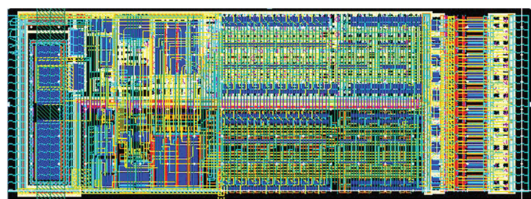


图8 输出缓冲器版图

Fig.8 Output buffer layout

含偏置电路)如图8所示。

输出缓冲器输入输出电压范围都为 $0.2 \sim 6.3 \text{ V}$, 面板等效负载 $R=10 \text{ k}\Omega$, $C=30 \text{ pF}$ 。在电源电压为 6.5 V 条件下, 对输出缓冲器进行 PVT 仿真, 其幅频和相频特性曲线如图9和图10所示。可以看出, 在输入电压范围内, 输出缓冲器的直流增益在 70 dB 以上, 相位裕度在 60° 以上, 可以保证输出缓冲器闭环环路的稳定性。在典型工作的 3.3 V 左右时, 增益可达 129 dB , 相位裕度 75° , 增益带宽 9.4 MHz , 增益满足设计要求、稳定性高。

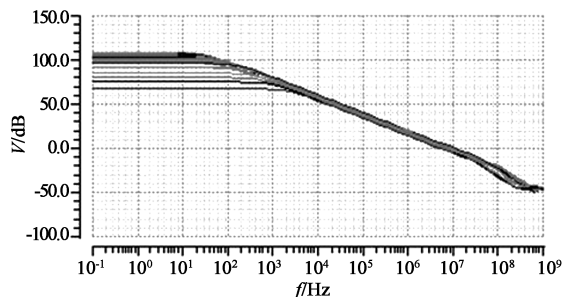


图9 输出缓冲器幅频曲线

Fig.9 Output buffer amplitude frequency curve

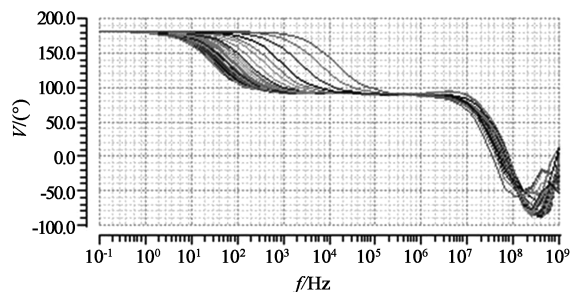


图10 输出缓冲器相频曲线

Fig.10 Output buffer phase frequency curve

在中压输入范围内使用两个相差 60 mV 的输入 ($3 \sim 2.94 \text{ V}$) 时, 将 4 bit 图像数据从 1111 到 0000 依次跳变可以得到输出缓冲器的输出结果如图11

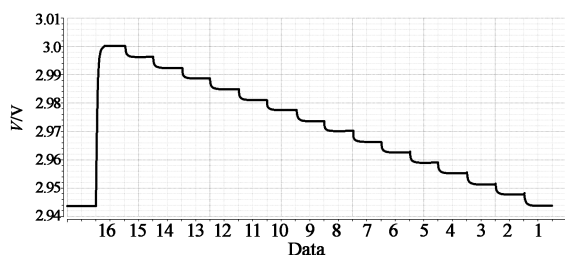


图11 输出缓冲器 DAC 功能实现

Fig.11 Output buffer DAC function implementation

所示, 可以看出, 缓冲器实现了 4 bit DAC 功能。

对输出结果进行采点取值并与表1所得的理论值进行比较, 可以得到输出结果的误差如图12所示。在中压输入范围内, 通过插值得到的电压与理论值之间的最大误差为 0.255 mV , 误差均值 0.153 mV 。对于低压和高压输入范围同样进行上述仿真, 可以得到低压输入 (80 mV) 情况下最大误差为 0.640 mV , 误差均值为 0.406 mV ; 高压输入 (100 mV) 情况下最大误差为 2.041 mV , 误差均值为 0.941 mV 。仿真结果表明本文的插值缓冲器实现的 DAC 满足误差小于 3 mV , 并且符合本设计的三段式 DAC 曲线在中压范围精度最高、低压其次、高压精度最低的要求, 在 $0.2 \sim 6.3 \text{ V}$ 的宽输入范围内均具有良好的精度和线性度。

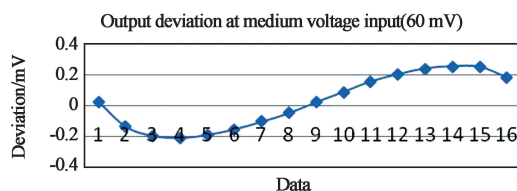


图12 输出缓冲器 DAC 误差

Fig.12 Output buffer DAC accuracy

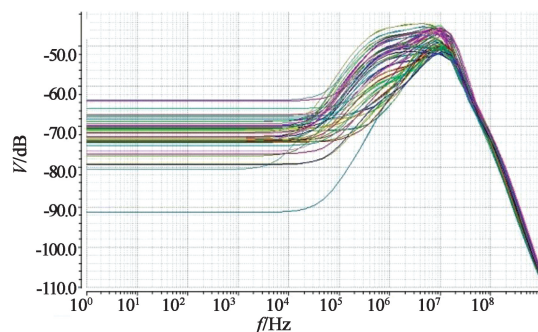


图13 输出缓冲器电源抑制比

Fig.13 Output buffer power supply rejection ratio

对输出缓冲器的电源抑制比进行了仿真,如图 13 所示。低频时,电源抑制比为 70 dB;1.6 MHz 时,电源抑制比依然有 50 dB。对输出缓冲器的建立时间进行了仿真,如图 14 所示,达到精度 90%时,从 0.2 V 到 6.3 V 的建立时间为 1.49 μ s;达到精度 99%时,建立时间为 2.49 μ s;达到精度 99.9%时,建立时间为 3.5 μ s。

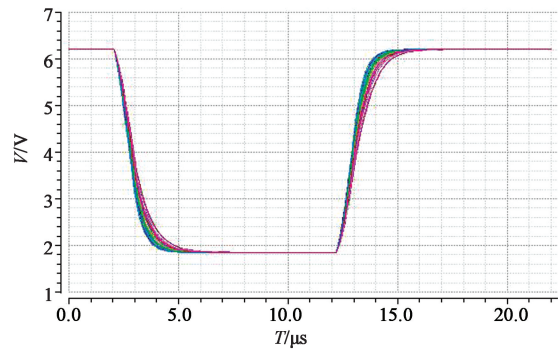


图 14 输出缓冲器建立时间
Fig.14 Output buffer settling time

表 2 列出了其他输出缓冲器设计中轨对轨缓冲器的性能,通过对比可以看出本文的轨对轨缓冲器在宽输入电压范围内建立时间快、静态电流小。

参 考 文 献:

[1] 李继军,聂晓梦,甄威,等.显示技术比较及新进展[J].液晶与显示,2018,33(1):74-84.
LI J J, NIE X M, ZHEN W, et al. New developments and comparisons in display technology [J]. *Chinese Journal of Liquid Crystals and Display*, 2018, 33(1): 74-78. (in Chinese)

[2] LEE P M, CHEN H Y. Adjustable gamma correction circuit for TFT LCD [C]//*Proceedings of 2005 IEEE International Symposium on Circuits and Systems*. Kobe, Japan: IEEE, 2005: 780-783.

[3] HUANG T, LI H G. Based on programmable current buffer 10-Bit DAC for AMOLED source driver [C]//*Proceedings of 2017 International conference on Electron Devices and Solid-state Circuits*. Hsinchu, Taiwan, China: IEEE, 2017: 1-2.

[4] LU C W, YIN P Y, HSIAO C M, et al. A 10-bit resistor-floating-resistor-string DAC (RFR-DAC) for high color-depth LCD driver ICs [J]. *IEEE Journal of Solid-State Circuits*, 2012, 47(10): 2454-2466.

[5] 孟宇,尹勇生,宇跃峰,等.应用于 AMOLED 源极驱动的高精度 DAC 设计[J].液晶与显示,2019,34(4):379-385.
MENG Y, YIN Y S, YU Y F, et al. High precision DAC design for AMOLED source drive [J]. *Chinese Journal of Liquid Crystals and Displays*, 2019, 34(4): 379-385. (in Chinese)

[6] SEOL H C, HONG S K, KWON O K. An area-efficient high-resolution resistor-string DAC with reverse ordering scheme for active matrix flat-panel display data driver ICs [J]. *Journal of Display Technology*, 2016, 12(8): 828-834

[7] 李有慧.一种输入输出轨到轨 CMOS 运算放大器的设计 [J].电子科技,2015,28(6):165-169.
LI Y H. An input output rail-to-rail CMOS operational amplifier design [J]. *Electronic Science & Technology*, 2015, 28(6): 165-169. (in Chinese)

表 2 本文缓冲器性能与其他设计比较

Tab.2 Comparison of buffer performance with other designs

性能	本文	文献[5]	文献[10]	文献[8]
电源电压/V	6.5	3.3	4	5/3
直流增益/dB	>70/129	107	113	102
相位裕度/(°)	>60/75	61	55	62
负载电容/pF	30	10	20	10
静态电流/ μ A	14~0.5/1.3	160	2.6	20
建立时间/ μ s	1.49 0.2~6.3 V	2.84 0~3.3 V	0.76 0~4 V	—

5 结 论

本文基于 UMC80 nm 的 CMOS 工艺,设计了一种应用于 AMOLED 显示驱动芯片的带有 DAC 功能的高性能输出缓冲器。本文设计的缓冲器在整个输入共模电压范围(0.2~6.3 V)内增益大于 70 dB、相位裕度都在 60°以上,静态电流较小,还具有高精度 4 bit DAC 性能,误差小于指标要求的 3 mV,满足了 1 080×2 160 分辨率 AMOLED 源极驱动电路对于输出缓冲器的要求。

- [8] 马玉杰.恒跨导 CMOS 轨对轨运算放大器设计[D].兰州:兰州大学,2013.
MA Y J. Design of constant Transconductance CMOS rail-to-rail operational amplifier [D]. Lanzhou: Lanzhou University, 2013.
- [9] KANG J S, KIM J H, KIM S Y, *et al.* 10-bit driver IC using 3-bit DAC embedded operational amplifier for Spatial Optical Modulators (SOMs) [J]. *IEEE Journal of Solid-State Circuits*, 2007, 42(12): 2913-2922.
- [10] 王为之,靳东明.一种采用共栅频率补偿的轨到轨输入/输出放大器[J].半导体学报,2006,27(11):2025-2028.
WANG W Z, JIN D M. Rail-to-rail input/output amplifier using common-gate frequency compensation [J]. *Chinese Journal of Semiconductors*, 2006, 27(11): 2025-2028. (in Chinese)
- [11] ITO R, ITAKURA T, MINAMIZAKI H. A class AB amplifier for LCD driver [C]//*Proceedings of 2007 IEEE Symposium on VLSI Circuits*. Kyoto, Japan: IEEE, 2007: 148-149.
- [12] 陈宏,曾岭宇,胡乔,等.一种用于轨到轨运算放大器的新型频率补偿结构[J].微电子学,2011,41(1):15-18.
CHEN H, ZENG L Y, HU Q, *et al.* A novel frequency compensation structure for rail-to-rail operational amplifier [J]. *Microelectronics*, 2011, 41(1): 15-18. (in Chinese)

作者简介:



孙蕊(1995—),女,安徽明光人,硕士研究生,2017年于合肥工业大学获得学士学位,主要研究方向为模拟集成电路设计和 OLED 显示驱动。E-mail: SR1995_sunrui@163.com



邓红辉(1973—),女,湖南娄底人,副研究员,硕士,2002年于合肥工业大学获得硕士学位,主要研究方向为高性能 A/D 转换器、D/A 转换器、电源管理芯片、PLL 等模拟/混合信号电路设计等。E-mail: denghonghui@hfut.edu.cn